

Family list

1 family member for:

JP2002124627

Derived from 1 application.

1 SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

Publication Info: JP2002124627 A - 2002-04-26

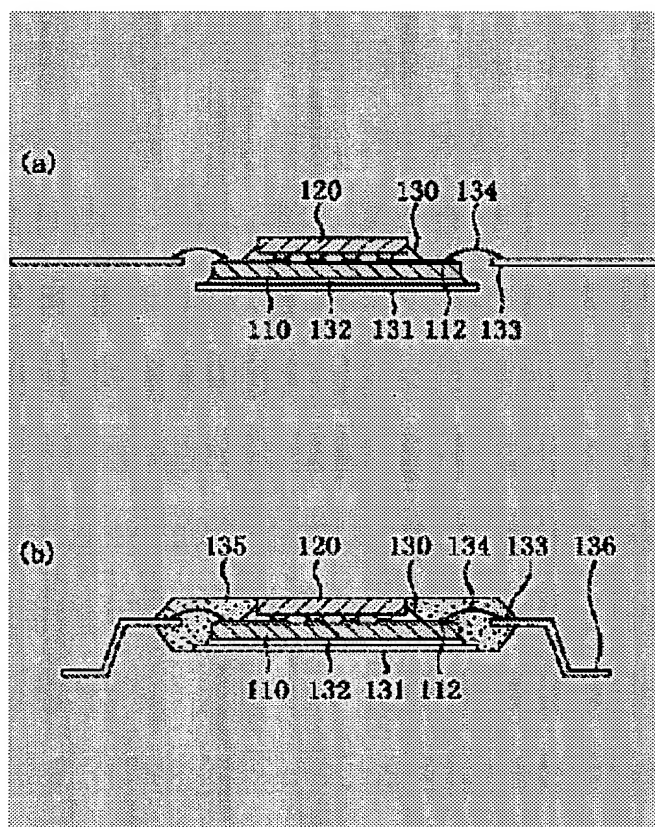
Data supplied from the *esp@cenet* database - Worldwide

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

Patent number: JP2002124627
Publication date: 2002-04-26
Inventor: FUJIMOTO HIROAKI; TAKEHASHI NOBUITSU
Applicant: MATSUSHITA ELECTRIC IND CO LTD
Classification:
- international: H01L25/065; H01L23/29; H01L23/31; H01L25/07; H01L25/18
- european:
Application number: JP20010271435 20010907
Priority number(s): JP20010271435 20010907

Abstract of JP2002124627

PROBLEM TO BE SOLVED: To enable efficient radiation of heat generated in a second LSI chip in a semiconductor device, having the LSI chip connected onto a first LSI chip through facedown bonding method. **SOLUTION:** The second LSI chip 120 is connected to the first LSI chip 110, having an external electrode 112 on a peripheral edge by the facedown bonding method. A die pad 131 is fixed onto a lower surface of the chip 110. The electrode 112 of the chip 110 is connected to an inner lead 133 via a bonding wire 134. A resin package 135 seals the chip 110, the chip 120, the pad 131 and the lead 133, so as to expose the upper surface of the chip 120 and the lower surface of the pad 131.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-124627
(P2002-124627A)

(43) 公開日 平成14年4月26日 (2002.4.26)

(51) Int.Cl. ⁷	識別記号	F I	テームコード [*] (参考)
H 0 1 L 25/065		H 0 1 L 25/08	B 4 M 1 0 9
23/29		23/30	B 5 F 0 3 6
23/31		23/36	A
25/07			
25/18			

審査請求 有 請求項の数 3 O L (全 12 頁)

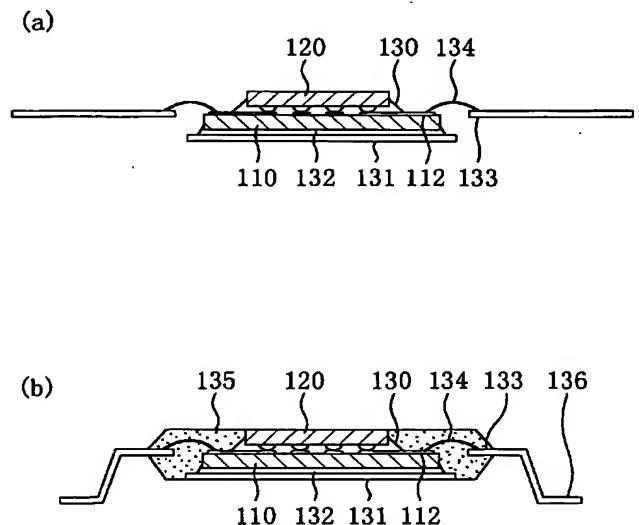
(21) 出願番号	特願2001-271435 (P2001-271435)	(71) 出願人	000005821
(62) 分割の表示	特願平9-147918の分割		松下電器産業株式会社
(22) 出願日	平成9年6月5日 (1997.6.5)		大阪府門真市大字門真1006番地
		(72) 発明者	藤本 博昭
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	竹橋 信逸
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(74) 代理人	100077931
			弁理士 前田 弘 (外7名)
		Fターム (参考)	4M109 AA02 BA01 CA05 CA21 DB02
			EE05 EE20
			5F036 AA01 BA23 BB05 BE01

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 第1のLSIチップの上に第2のLSIチップがフェイスダウンボンディング方式により接合される半導体装置において、第2のLSIチップに発生した熱を効率良く放散できるようにする。

【解決手段】 周縁部に外部電極112を有する第1のLSIチップ110の上に、第2のLSIチップ120がフェイスダウンボンディング方式により接合されている。第1のLSIチップ110の下面にはダイパッド131が固着されている。第1のLSIチップ110の外部電極112とインナーリード133とはボンディングワイヤ134により接続されている。樹脂パッケージ135は、第1のLSIチップ110、第2のLSIチップ120、ダイパッド131及びインナーリード133を、第2のLSIチップ120の上面及びダイパッド131の下面がそれぞれ露出するように封止している。



【特許請求の範囲】

【請求項1】 周縁部に外部電極を有する第1のLSIチップと、

前記第1のLSIチップの上にフェイスダウンボンディング方式により接合された第2のLSIチップと、

前記第1のLSIチップの外部電極に接続されたボンディングワイヤと、

前記第1のLSIチップと前記第2のLSIチップとの間に、前記第1のLSIチップ及び第2のLSIチップの各主面を全面的に覆うように充填された絶縁性樹脂と、

前記第1のLSIチップ及び第2のLSIチップを封止している樹脂パッケージとを備えており、

前記絶縁性樹脂のヤング率は前記樹脂パッケージを構成する樹脂のヤング率よりも小さいことを特徴とする半導体装置。

【請求項2】 周縁部に外部電極を有する第1のLSIチップの前記外部電極にボンディングワイヤを接続するワイヤ接続工程と、

前記外部電極にボンディングワイヤが接続された第1のLSIチップと第2のLSIチップとをフェイスダウンボンディング方式により接合すると共に、前記第1のLSIチップと前記第2のLSIチップとの間に絶縁性樹脂を充填して、前記第1のLSIチップ及び第2のLSIチップよりなるLSIモジュールを形成するモジュール形成工程と、

前記LSIモジュールを半導体パッケージに封止する封止工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項3】 前記モジュール形成工程は、前記絶縁性樹脂を前記第1のLSIチップ及び第2のLSIチップの各主面が全面的に覆われるように充填する工程を含み、

前記封止工程は、前記LSIモジュールを樹脂パッケージよりなる前記半導体パッケージに樹脂封止する工程を含み、

前記モジュール形成工程における絶縁性樹脂のヤング率は、前記封止工程における樹脂パッケージを構成する樹脂のヤング率よりも小さいことを特徴とする請求項2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、主面上にLSIがそれぞれ形成された第1の半導体チップと第2の半導体チップとがフェイスダウンボンディング方式により接合されてなる半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 近年、半導体集積回路装置の低コスト化及び小型化を図るため、例えば異なる機能を持つLSI又は異なるプロセスにより形成されたLSIが形成され

た、第1のLSIチップと第2のLSIチップとがフェイスダウンボンディング方式により接合されてなる半導体装置が提案されている。

【0003】 以下、例えば特開平2-15660号公報に示されている、2つのLSIチップがフェイスダウンボンディング方式により接合されてなる半導体装置及びその製造方法について図9を参照しながら説明する。

【0004】 図9に示すように、第1のLSIチップ10における第1のLSIが形成されている主面上には内部電極11及び外部電極12が形成されていると共に、第2のLSIチップ13における第2のLSIが形成されている主面上にはパンプ14が形成されており、内部電極11とパンプ14とが接続された状態で、第1のLSIチップ10と第2のLSIチップ13とがフェイスダウンボンディング方式により接合している。この場合、第1のLSIチップ10と第2のLSIチップ13との間には絶縁性樹脂15が充填されている。また、第1のLSIチップ10はリードフレームのダイパッド16にはんだ17により固定されていると共に、第1のLSIチップ10の外部電極12とリードフレームのインナーリード18とはボンディングワイヤ19により電気的に接続されている。第1のLSIチップ10、第2のLSIチップ13、ダイパッド16、インナーリード18及びボンディングワイヤ19は樹脂パッケージ20により封止されている。

【0005】 前記従来の半導体装置は以下のようにして製造される。

【0006】 まず、周縁部に外部電極12が形成されている第1のLSIチップ10上の中央部に絶縁性樹脂15を塗布した後、第2のLSIチップ13を第1のLSIチップ10に押圧して、第1のLSIチップ10の内部電極11と第2のLSIチップ13のパンプ14とが接続した状態で、第1のLSIチップと第2のLSIチップとを接合する。

【0007】 次に、第1のLSIチップ10の外部電極12とインナーリード18とをボンディングワイヤ19により接続した後、第1のLSIチップ10、第2のLSIチップ13、ダイパッド16、インナーリード18及びボンディングワイヤ19を樹脂パッケージ20により封止する。

【0008】

【発明が解決しようとする課題】 ところで、第1のLSIチップ10と第2のLSIチップ13とがフェイスダウンボンディング方式により接合されてなる半導体装置においては、絶縁性樹脂15及び樹脂パッケージ20の熱伝導率が低いため、第2のLSIチップ13の主面に形成されている第1のLSIから発生した熱は、パンプ14を介して第1のLSIチップ10に伝達された後、ダイパッド16に伝わり、その後、ダイパッド16と一体化されているインナーリード18から外部に放出され

るが、バンプ 14 の断面積の合計は第 2 の L S I チップ 13 の面積に比べてかなり小さいので、第 2 の L S I チップ 13 に発生した熱のバンプ 14 を介しての放散は十分ではない。

【0009】このため、第 2 の L S I チップ 13 の主面に形成されている L S I において、p n 接合のダイオード特性が劣化するという問題及び金属配線の抵抗が大きくなってトランジスタ特性が劣化するという問題等が発生する。特に、第 2 の L S I チップ 13 の主面に形成されている L S I の消費電力が大きい場合には、前記の問題は顕著に表われる。

【0010】また、前記従来の半導体装置の製造方法は、周縁部に外部電極 12 が形成されている第 1 の L S I チップ 10 上の中央部に絶縁性樹脂 15 を塗布した後、第 2 の L S I チップ 13 を第 1 の L S I チップ 10 に押圧して第 1 の L S I チップ 10 と第 2 の L S I チップ 13 とを接合するが、この際、絶縁性樹脂 15 が第 1 の L S I チップ 10 の外部電極 12 に付着すると、第 1 の L S I チップ 10 の外部電極 12 とインナーリード 18 とをボンディングワイヤ 19 により接合することができない。

【0011】そこで、従来の半導体装置においては、絶縁性樹脂 15 が第 1 の L S I チップ 10 の外部電極 12 に付着しないように、第 2 の L S I チップ 13 の外形寸法を第 1 の L S I チップ 10 の外部電極 12 の内側寸法よりもかなり小さくしている。すなわち、第 2 の L S I チップ 13 のサイズを第 1 の L S I チップ 10 のサイズよりも十分に小さく、例えば、第 2 の L S I チップ 13 の 1 辺の長さを第 1 の L S I チップ 10 の 1 辺の長さに対して 2 mm 程度小さくしている。このため、第 2 の L S I チップ 13 の集積度、ひいては第 1 の L S I チップ 10 と第 2 の L S I チップ 13 とからなる L S I モジュールの集積度が制約を受けると言う問題がある。

【0012】前記に鑑み、本発明は、第 1 の L S I チップの上に第 2 の L S I チップがフェイスダウンボンディング方式により接合されてなる半導体装置において、第 2 の L S I チップに発生した熱を効率良く放散できるようにすることを第 1 の目的とし、第 2 の L S I チップの集積度を向上させることを第 2 の目的とする。

【0013】

【課題を解決するための手段】本発明に係る第 1 の半導体装置は、周縁部に外部電極を有する第 1 の L S I チップと、第 1 の L S I チップの上にフェイスダウンボンディング方式により接合された第 2 の L S I チップと、第 1 の L S I チップの下面に設けられたダイパッドと、第 1 の L S I チップの外部電極と電気的に接続されたインナーリードと、第 1 の L S I チップ、第 2 の L S I チップ、ダイパッド及びインナーリードを、第 2 の L S I チップの上面及びダイパッドの下面の少なくとも中央部がそれぞれ露出するように封止している樹脂パッケージと

を備えている。

【0014】第 1 の半導体装置によると、樹脂パッケージが第 2 の L S I チップの上面の少なくとも中央部が露出するように封止しているため、第 2 の L S I チップの主面に形成されている L S I から発生した熱は、第 2 の L S I チップの上面における樹脂パッケージに露出している領域から放散され、また、樹脂パッケージがダイパッドの下面の少なくとも中央部が露出するように封止しているため、第 1 の L S I チップの主面に形成されている L S I から発生した熱は、ダイパッドの下面における樹脂パッケージに露出している領域から放散される。

【0015】第 1 の半導体装置において、樹脂パッケージは、第 1 の L S I チップ、第 2 の L S I チップ、ダイパッド及びインナーリードを、第 2 の L S I チップの上面及びダイパッドの下面がそれぞれ全面に亘って露出するように封止していることが好ましい。

【0016】第 1 の半導体装置は、第 2 の L S I チップの上面における樹脂パッケージから露出している領域に設けられた放熱体をさらに備えていることが好ましい。

【0017】本発明に係る第 2 の半導体装置は、周縁部に外部電極を有する第 1 の L S I チップと、第 1 の L S I チップの上にフェイスダウンボンディング方式により接合された第 2 の L S I チップと、第 1 の L S I チップの外部電極と電気的に接続されたインナーリードと、第 1 の L S I チップ、第 2 の L S I チップ及びインナーリードを、第 2 の L S I チップの上面及び第 1 の L S I チップの下面の少なくとも中央部がそれぞれ露出するように封止している樹脂パッケージとを備えている。

【0018】第 2 の半導体装置によると、樹脂パッケージが第 2 の L S I チップの上面の少なくとも中央部が露出するように封止しているため、第 2 の L S I チップの主面に形成されている L S I から発生した熱は、第 2 の L S I チップの上面における樹脂パッケージに露出している領域から放散され、また、樹脂パッケージが第 1 の半導体チップの下面の少なくとも中央部が露出するように封止しているため、第 1 の L S I チップの主面に形成されている L S I から発生した熱は、第 1 の L S I チップの下面における樹脂パッケージに露出している領域から放散される。

【0019】第 2 の半導体装置において、樹脂パッケージは、第 1 の L S I チップ、第 2 の L S I チップ及びインナーリードを、第 2 の L S I チップの上面及び第 1 の L S I チップの下面がそれぞれ全面に亘って露出するように封止していることが好ましい。

【0020】第 2 の半導体装置は、第 2 の L S I チップの上面における樹脂パッケージから露出している領域に設けられた放熱体をさらに備えていることが好ましい。

【0021】本発明に係る第 3 の半導体装置は、周縁部に外部電極を有する第 1 の L S I チップと、第 1 の L S I チップの上にフェイスダウンボンディング方式により

接合された第2のLSIチップと、第1のLSIチップの外部電極に接続されたボンディングワイヤと、第1のLSIチップと第2のLSIチップとの間に、第1のLSIチップ及び第2のLSIチップの各主面を全面的に覆うように充填された絶縁性樹脂と、第1のLSIチップ及び第2のLSIチップを封止している樹脂パッケージとを備えており、絶縁性樹脂のヤング率は樹脂パッケージを構成する樹脂のヤング率よりも小さい。

【0022】第3の半導体装置によると、第1のLSIチップと第2のLSIチップとの間に、第1のLSIチップ及び第2のLSIチップの各主面を全面的に覆うように絶縁性樹脂が介在し、しかも、該絶縁性樹脂のヤング率は樹脂パッケージを構成する樹脂のヤング率よりも小さいため、第1のLSIチップ及び第2のLSIチップの各主面はヤング率の小さい樹脂によって全面的に覆われている。

【0023】従来においては、第1のLSIチップの外部電極同士の間まで延びる金属配線が、樹脂パッケージを構成する樹脂の熱応力の影響を受けないように、第1のLSIチップの主面を予めポリイミド膜等により覆う必要があったが、第3の半導体装置によると、第1のLSIチップ及び第2のLSIチップの各主面がヤング率の小さいつまり熱応力の小さい絶縁性樹脂により全面的に覆われているため、ヤング率の大きい封止用樹脂が第1のLSIチップ及び第2のLSIチップの各主面に接触する事態を回避することができる。

【0024】本発明に係る第1の半導体装置の製造方法は、周縁部に外部電極を有する第1のLSIチップの上に第2のLSIチップをフェイスダウンボンディング方式により接合する工程と、第1のLSIチップの下面にダイパッドを固着する工程と、第1のLSIチップの外部電極とインナーリードとを電気的に接続する工程と、第1のLSIチップ、第2のLSIチップ、ダイパッド及びインナーリードを樹脂パッケージにより、第2のLSIチップの上面及びダイパッドの下面の少なくとも中央部がそれぞれ露出するように封止する工程とを備えている。

【0025】第1の半導体装置の製造方法によると、第1のLSIチップ、第2のLSIチップ、ダイパッド及びインナーリードを樹脂パッケージにより、第2のLSIチップの上面及びダイパッドの下面の少なくとも中央部がそれぞれ露出するように封止する工程を備えているため、得られる半導体装置においては、第2のLSIチップの上面及びダイパッドの下面の少なくとも中央部はそれぞれ露出している。

【0026】本発明に係る第2の半導体装置の製造方法は、周縁部に外部電極を有する第1のLSIチップの上に第2のLSIチップをフェイスダウンボンディング方式により接合する工程と、第1のLSIチップの下面にダイパッドを固着する工程と、第1のLSIチップの外

部電極とインナーリードとを電気的に接続する工程と、第1のLSIチップ、第2のLSIチップ、ダイパッド及びインナーリードを樹脂パッケージにより全面的に封止する工程と、樹脂パッケージを研磨して第2のLSIチップの上面及びダイパッドの下面をそれぞれ全面に亘って露出させる工程とを備えている。

【0027】第2の半導体装置の製造方法によると、第1のLSIチップ、第2のLSIチップ、ダイパッド及びインナーリードを樹脂パッケージにより全面的に封止した後、樹脂パッケージを研磨して第2のLSIチップの上面及びダイパッドの下面をそれぞれ全面に亘って露出させる工程を備えているため、得られる半導体装置においては、第2のLSIチップの上面及びダイパッドの下面はそれぞれ全面に亘って露出している。

【0028】本発明に係る第3の半導体装置の製造方法は、周縁部に外部電極を有する第1のLSIチップの上に第2のLSIチップをフェイスダウンボンディング方式により接合する工程と、第1のLSIチップの外部電極とインナーリードとを電気的に接続する工程と、第1のLSIチップ、第2のLSIチップ及びインナーリードを樹脂パッケージにより、第2のLSIチップの上面及び第1のLSIチップの下面の少なくとも中央部がそれぞれ露出するように封止する工程とを備えている。

【0029】第3の半導体装置の製造方法によると、第1のLSIチップ、第2のLSIチップ及びインナーリードを樹脂パッケージにより、第2のLSIチップの上面及び第1のLSIチップの下面の少なくとも中央部がそれぞれ露出するように封止する工程を備えているため、得られる半導体装置においては、第2のLSIチップの上面及び第1のLSIチップの下面の少なくとも中央部はそれぞれ露出している。

【0030】本発明に係る第4の半導体装置の製造方法は、周縁部に外部電極を有する第1のLSIチップの上に第2のLSIチップをフェイスダウンボンディング方式により接合する工程と、第1のLSIチップの外部電極とインナーリードとを電気的に接続する工程と、第1のLSIチップ、第2のLSIチップ及びインナーリードを樹脂パッケージにより全面的に封止する工程と、樹脂パッケージを研磨して、第2のLSIチップの上面及び第1のLSIの下面をそれぞれ全面に亘って露出させる工程とを備えている。

【0031】第4の半導体装置の製造方法によると、第1のLSIチップ、第2のLSIチップ及びインナーリードを樹脂パッケージにより全面的に封止した後、樹脂パッケージを研磨して、第2のLSIチップの上面及び第1のLSIの下面をそれぞれ全面に亘って露出させる工程を備えているため、得られる半導体装置においては、第2のLSIチップの上面及び第1のLSIの下面はそれぞれ全面に亘って露出している。

【0032】本発明に係る第5の半導体装置の製造方法

は、周縁部に外部電極を有する第1のLSIチップの外部電極にボンディングワイヤを接続するワイヤ接続工程と、外部電極にボンディングワイヤが接続された第1のLSIチップと第2のLSIチップとをフェイスダウンボンディング方式により接合すると共に、第1のLSIチップと第2のLSIチップとの間に絶縁性樹脂を充填して、第1のLSIチップ及び第2のLSIチップよりなるLSIモジュールを形成するモジュール形成工程と、LSIモジュールを半導体パッケージに封止する封止工程とを備えている。

【0033】第5の半導体装置の製造方法によると、第1のLSIチップの外部電極にボンディングワイヤを接続した後に、第1のLSIチップと第2のLSIチップとの間に絶縁性樹脂を充填するため、絶縁性樹脂が外部電極とボンディングワイヤとの接続部を覆うように拡がってもよいので、第2のLSIチップの外形が第1のLSIチップの外部電極の内側に位置する程度まで、第2のLSIチップのサイズを大きくすることができる。

【0034】第5の半導体装置の製造方法において、モジュール形成工程は、絶縁性樹脂を第1のLSIチップ及び第2のLSIチップの各主面が全面的に覆われるように充填する工程を含み、封止工程は、LSIモジュールを樹脂パッケージよりなる半導体パッケージに樹脂封止する工程を含み、モジュール形成工程における絶縁性樹脂のヤング率は、封止工程における樹脂パッケージを構成する樹脂のヤング率よりも小さいことが好ましい。

【0035】

【発明の実施の形態】（第1の実施形態）以下、本発明の第1の実施形態に係る半導体装置及び製造方法について、図1（a）～（c）及び図2（a）、（b）を参照しながら説明する。

【0036】まず、図1（a）に示すように、互いに異なる機能を持つLSI又は互いに異なるプロセスにより形成されたLSIを有する第1のLSIチップ110及び第2のLSIチップ120を製造しておく。この場合、第1のLSIチップ110と第2のLSIチップ120とは、例えば、DRAM等のメモリーよりなるLSIとマイコン等のロジックLSIとの組み合わせ、互いに異なるロジックLSI同士の組み合わせ、化合物半導体基板上に形成されたLSIとシリコン基板上に形成されたLSIとの組み合わせ等よりなり、互いに異なるプロセスにより形成されたLSIチップ同士又は一のプロセスにより形成された大面積のLSIチップが2分割されてなるものである。

【0037】第1のLSIチップ110の主面上には多数の内部電極111が形成されていると共に、主面上の周縁部には内部電極111と電気的に接続された外部電極112が形成されている。また、第2のLSIチップ120の主面上における第1のLSIチップ110の内部電極111と対応する部位には、図示しない内部電極

が形成されており、該内部電極の上にはAu、Cu、In又ははんだ等よりなるバンプ121が形成されている。バンプ121の大きさは、5 μ m～200 μ m程度である。バンプ121の形成方法としては、ウェハ上に金属膜を蒸着した後、該金属膜にフォトリソパターンをマスクにして電解めっきを行なってバンプ121を形成し、その後、金属膜をエッチングにより除去する方法や、アルミニウムよりなる内部電極の上に無電解めっき法によりNi-Au等の金属膜を形成した後、該金属膜の上に転写又はディッピングによりバンプ121を形成する方法等を採用することができる。

【0038】次に、第1のLSIチップ110における第2のLSIチップ120の搭載領域に、光硬化型又は熱硬化型等のエポキシ系、アクリル系又はポリイミド等よりなる絶縁性樹脂130をディスペンサー又はスタンピング等により塗布する。

【0039】次に、図1（b）に示すように、第1のLSIチップ110の内部電極111と第2のLSIチップ120のバンプ121とを位置合わせした後、第1のLSIチップ110の上に第2のLSIチップ120を載置する。その後、加圧ツール140を降下させて、第2のLSIチップ120を第1のLSIチップ110に対して押圧すると共に、加圧ツール140により押圧した状態で絶縁性樹脂130に対して光の照射又は加熱を行なって絶縁性樹脂130を硬化させる。この場合、絶縁性樹脂130が熱硬化型のときには、加熱された加圧ツール140により絶縁性樹脂130を加熱し、絶縁性樹脂130が光硬化型のときには、絶縁性樹脂130に対して紫外線等の光を第2のLSIチップ120の側方から照射する。

【0040】次に、絶縁性樹脂130が硬化すると、図1（c）に示すように、加圧ツール140による加圧を解放する。このようにすると、第1のLSIチップ110と第2のLSIチップ120とが絶縁性樹脂130により一体化されてなると共に、内部電極111とバンプ121とが電気的に接続されてなるLSIモジュールが得られる。尚、絶縁性樹脂130が熱及び光硬化型の場合には、絶縁性樹脂130における光が照射されなかった部分を常温下又は加熱により硬化させる。

【0041】次に、図2（a）に示すように、LSIモジュールの第1のLSIチップ110の下面をリードフレームのダイパッド131にダイボンド樹脂132を用いて固着する。この場合、リードフレームのインナーリード133がLSIモジュールの厚さ方向のほぼ中央部に位置するようにディプレス加工、すなわち、ダイパッド131がインナーリード133よりも窪むような成形加工を、予め金型を用いてリードフレームに対して施している。その後、Au等よりなるボンディングワイヤ134により、第1のLSIチップ110の外部電極112とリードフレームのインナーリード133とを接続す

る。

【0042】次に、図2（b）に示すように、第1のLSIチップ110、第2のLSIチップ120及びダイパッド131を樹脂パッケージ135により、第2のLSIチップの上面及びダイパッド131の下面が樹脂パッケージ135から露出するように樹脂封止する。樹脂封止は、上型と下型とからなる金型を用いるトランスファモールド法により行なうが、上型と下型により形成されるキャビティの高さを、第1のLSIチップ110、第2のLSIチップ120及びダイパッド131の合計厚さに設定しておくことにより、第2のLSIチップ120の上面及びダイパッド131の下面を樹脂パッケージ135から露出させることができる。その後、リードフレームのアウトリード136を折り曲げ成形すると、第1の実施形態に係る半導体装置が得られる。

【0043】第1の実施形態に係る半導体装置によると、第2のLSIチップ120の上面が樹脂パッケージ135から露出しているため、第2のLSIチップ120の主面に発生した熱は第2のLSIチップ120の上面から効率良く放散される。

【0044】また、樹脂パッケージ135の厚さは、第1のLSIチップ110、第2のLSIチップ120及びダイパッド131の合計厚さと等しいため、2つのLSIチップがフェイスダウンボンディング方式により一体化されてなる半導体装置の厚さを薄くすることができる。例えば、第1のLSIチップ110及び第2のLSIチップ120の厚さがそれぞれ0.3mmで、ダイパッド131の厚さが0.15mmとすると、バンプ121の高さが約10μm、ダイボンド樹脂132の厚さが約20～30μm程度であるので、約0.8mmの厚さの超薄型の樹脂パッケージ135を得ることができる。

【0045】従って、第1の実施形態に係る半導体装置が搭載される、移動体通信機器や携帯型情報機器等の端末機器の小型化、薄型化及び軽量化を図ることができる。

【0046】（第2の実施形態）図3は本発明の第2の実施形態に係る半導体装置を示しており、第2の実施形態において、第1の実施形態と同一の部材については同一の符号を付すことにより説明を省略する。

【0047】第2の実施形態の特徴として、樹脂パッケージ135は第2のLSIチップ120の上面の周縁部を覆っており、第2のLSIチップ120は上面における周縁部を除く領域において樹脂パッケージ135から露出している。

【0048】第2の実施形態に係る半導体装置によると、樹脂パッケージ135が第2のLSIチップ120の上面の周縁部を覆う構造であるため、キャビティ内における第2のLSIチップ120の上面において、樹脂パッケージ135を形成するための樹脂の流動性が向上するので、良好な樹脂パッケージ135が得られる。

【0049】（第3の実施形態）以下、本発明の第3の実施形態に係る半導体装置及び該半導体装置の第1の製造方法について、図4（a）～（c）を参照しながら説明する。

【0050】まず、第1の実施形態と同様に、互いに異なる機能を持つLSI又は互いに異なるプロセスにより形成されたLSIを有する第1のLSIチップ110及び第2のLSIチップ120を製造した後、第1のLSIチップ110における第2のLSIチップ120の搭載領域に、光硬化型又は熱硬化型等のエポキシ系、アクリル系又はポリイミド等よりなる絶縁性樹脂130をディスペンサー又はスタンピング等により塗布する。次に、第1のLSIチップ110の内部電極111と第2のLSIチップ120のバンプ121とを位置合わせした後、第1のLSIチップ110の上に第2のLSIチップ120を載置し、その後、第2のLSIチップ120を第1のLSIチップ110に対して押圧すると共に絶縁性樹脂130に対して光の照射又は加熱を行なって絶縁性樹脂130を硬化させて、図4（c）に示すような、第1のLSIチップ110と第2のLSIチップ120とが絶縁性樹脂130により一体化されてなると共に、内部電極111とバンプ121とが電気的に接続されてなるLSIモジュールを得る。

【0051】次に、図4（b）に示すような、第1のLSIモジュール110よりも若干大きい平面形状と第1のLSIチップ110と同程度の深さとを有する収納凹部141aと、該収納凹部141aの中央に設けられた真空吸引孔141bとを有するワイヤボンディング用ステージ141を準備し、該ワイヤボンディング用ステージ141の収納凹部141aにLSIモジュールを収納すると共に、真空吸引孔141bから第1のLSIチップ110を真空引きして、第1のLSIチップ110をワイヤボンディング用ステージ141に固定する。

【0052】次に、ワイヤボンディング用ステージ141の周縁部の上に、ダイパッドを有しないリードフレームのインナーリード133及びアウトリード136を載置した後、該リードフレームのインナーリード133と第1のLSIチップ110の外部電極112とをボンディングワイヤ134により接続する。第1のLSIチップ110は、リードフレームのダイパッドに固定されていないが、ワイヤボンディング用ステージ141に保持されているため、ワイヤボンディング工程を確実に行なうことができる。

【0053】次に、第1のLSIチップ110及び第2のLSIチップ120を樹脂パッケージ135により、第2のLSIチップの上面及び第1のLSIチップの下面が樹脂パッケージ135から露出するように樹脂封止する。この場合、上型と下型により形成されるキャビティの高さを、第1のLSIチップ110及び第2のLSIチップ120の合計厚さに設定しておくことにより、

第2のLSIチップ120の上面及び第1のLSIチップ110の下面を樹脂パッケージ135から露出させることができる。尚、リードフレームのインナーリード133と第1のLSIチップ110の外部電極112とがボンディングワイヤ134により接続されているので、LSIモジュールをワイヤボンディング用ステージ141から上型と下型からなる金型に移動する際、LSIモジュールとリードフレームとが分離してしまう恐れはない。その後、リードフレームのアウターリード136を折り曲げ成形すると、図4(c)に示すような第3の実施形態に係る半導体装置が得られる。

【0054】第3の実施形態に係る半導体装置によると、第2のLSIチップ120の上面及び第1のLSIチップ110の下面が樹脂パッケージ135から露出しているため、第1のLSIチップ110及び第2のLSIチップ120に発生した熱は、第1のLSIチップ110の下面及び第2のLSIチップ120の上面からそれぞれ効率良く放散される。

【0055】また、樹脂パッケージ135の厚さは、第1のLSIチップ110及び第2のLSIチップ120の合計厚さと等しいため、2つのLSIチップがフェイスダウンボンディング方式により一体化されてなる半導体装置の厚さを薄くすることができる。例えば、第1のLSIチップ110及び第2のLSIチップ120の厚さがそれぞれ0.3mmであるとする、バンプ121の高さは小さいので、約0.6mmの厚さの超薄型の樹脂パッケージ135を得ることができる。

【0056】以下、本発明の第3の実施形態に係る半導体装置の第2の製造方法について、図5(a)～(c)を参照しながら説明する。

【0057】第1の製造方法と同様にして、第1のLSIチップ110と第2のLSIチップ120とが絶縁性樹脂130により一体化されてなると共に、内部電極111とバンプ121とが電気的に接続されてなるLSIモジュールを得た後、図5(a)に示すように、第1のLSIチップ110及び第2のLSIチップ120が露出することなく完全に覆われるように樹脂パッケージ135により樹脂封止する。

【0058】次に、樹脂パッケージ135の上面及び下面をそれぞれ機械研磨して、図5(b)に示すように、第2のLSIチップ120の上面及び第1のLSIチップ110の下面を樹脂パッケージ135から露出させた後、リードフレームのアウターリード136を折り曲げ成形すると、図5(c)に示すような第3の実施形態に係る半導体装置が得られる。

【0059】LSIモジュールの厚さが小さくてキャビティの高さが小さいために、キャビティ内における樹脂の流動性が低下する恐れがある場合でも、第2の製造方法によると、良好な樹脂パッケージ135を得ることができる。

【0060】(第4の実施形態)以下、本発明の第4の実施形態に係る半導体装置について、図6を参照しながら説明する。

【0061】第4の実施形態に係る半導体装置は、第1の実施形態に係る半導体装置における第2のLSIチップ120の上面に放熱体137が熱伝導性樹脂138により固定されている。放熱体137の構造としては、互いに平行に延びる複数の凹状溝が形成されているものでもよいし、多数の凹部がマトリックス状に配列されているものでもよい。

【0062】(第5の実施形態)以下、本発明の第5の実施形態に係る半導体装置について、図7を参照しながら説明する。

【0063】第5の実施形態に係る半導体装置は、第3の実施形態に係る半導体装置における第2のLSIチップ120の上面に放熱体137が熱伝導性樹脂138により固定されている。

【0064】第4又は第5の実施形態に係る半導体装置によると、第2のLSIチップ120の上面に放熱体137が固定されているため、第2のLSIの消費電力が大きくて第2のLSIチップ120における発熱量が大きい場合でも、第2のLSIチップ120に発生した熱は放熱体137から効率良く放散される。この場合、第2のLSIチップ120の上面に放熱体137が固定されているため、つまり、アウターリード136が延びている方向と反対側に放熱体137が固定されているため、第4又は第5の実施形態に係る半導体装置がプリント基板等を実装された場合の放熱がプリント基板等に対して反対側に行なわれるので、放熱性が極めて良好である。

【0065】従って、第4又は第5の実施形態に係る半導体装置によると、熱抵抗の小さいパッケージを得ることができるので、高速化且つ高集積化されたマイクロプロセッサ等にも適用することができ、低コストで高機能のLSIを得ることができる。

【0066】(第6の実施形態)以下、本発明の第6の実施形態に係る半導体装置及び製造方法について、図8(a)～(c)を参照しながら説明する。

【0067】まず、図8(a)、(b)に示すように、互いに異なる機能を持つLSI又は互いに異なるプロセスにより形成されたLSIを有する第1のLSIチップ110及び第2のLSIチップ120を製造しておく。第1のLSIチップ110の主面上には多数の内部電極111が形成されていると共に、主面上の周縁部には内部電極111と電気的に接続された外部電極112が形成されている。また、第2のLSIチップ120の主面上における第1のLSIチップ110の内部電極111と対応する部位には、内部電極122が形成されており、該内部電極122の上にはAu、Cu又ははんだ等よりなるバンプ121が形成されている。

【0068】次に、図8(a)に示すように、第1のL

ＳＩチップ１１０をリードフレームのダイパッド１３１にダイボンド樹脂１３２を用いて固着する。この場合、第１の実施形態と同様、リードフレームのインナーリード１３３がＬＳＩモジュールの厚さ方向のほぼ中央部に位置するようにディプレス加工、すなわち、ダイパッド１３１がインナーリード１３３よりも窪むような成形加工を、予め金型を用いてリードフレームに対して施している。その後、Ａｕ等よりなるボンディングワイヤ１３４により、第１のＬＳＩチップ１１０の外部電極１１２とリードフレームのインナーリード１３３とを接続する。

【００６９】次に、図８（ｂ）に示すように、第１のＬＳＩチップ１１０における第２のＬＳＩチップ１２０の搭載領域に、光硬化型又は熱硬化型等のエポキシ系、アクリル系又はポリイミド等よりなる絶縁性樹脂１３０をディスペンサー又はスタンピング等により塗布した後、第１のＬＳＩチップ１１０の内部電極１１１と第２のＬＳＩチップ１２０のバンパ１２１とを位置合わせする。

【００７０】次に、図８（ｃ）に示すように、第１のＬＳＩチップ１１０の上に第２のＬＳＩチップ１２０を載置した後、加圧ツール１４０を降下させて、第２のＬＳＩチップ１２０を第１のＬＳＩチップ１１０に対して押圧する。この場合、絶縁性樹脂１３０は、第２のＬＳＩチップ１２０の側面を覆うと共に、第１のＬＳＩチップ１１０の外部電極１１２とボンディングワイヤ１３４との接合部を覆うように広がる。その後、加圧ツール１４０により第２のＬＳＩチップ１２０を押圧した状態で、絶縁性樹脂１３０に対して光の照射又は加熱を行なって絶縁性樹脂１３０を硬化させる。

【００７１】尚、第１のＬＳＩチップ１１０と第２のＬＳＩチップ１２０との間に充填された絶縁性樹脂１３０のヤング率は、後述する樹脂パッケージ１３５を構成する樹脂のヤング率よりも小さいことが好ましい。このようにすると、第１のＬＳＩチップ１１０及び第２のＬＳＩチップ１２０の主面が受ける熱応力が低減する。

【００７２】次に、絶縁性樹脂１３０が硬化すると、図８（ｄ）に示すように、加圧ツール１４０による加圧を解放する。このようにすると、第１のＬＳＩチップ１１０と第２のＬＳＩチップ１２０とが絶縁性樹脂１３０により一体化されてなると共に、内部電極１１１とバンパ１２１とが電氣的に接続されてなるＬＳＩモジュールが得られる。尚、絶縁性樹脂１３０が熱及び光硬化型の場合には、絶縁性樹脂１３０における光が照射されなかった部分を常温下又は加熱により硬化させる。

【００７３】次に、第１のＬＳＩチップ１１０、第２のＬＳＩチップ１２０及びダイパッド１３１を樹脂パッケージ１３５により樹脂封止する。その後、リードフレームのアウトリード１３６を折り曲げ成形すると、第６の実施形態に係る半導体装置が得られる。

【００７４】第６の実施形態に係る半導体装置による

と、第１のＬＳＩチップ１１０の外部電極１１２とボンディングワイヤ１３４との接合部がヤング率の小さい絶縁性樹脂１３０により覆われているため、つまり、第１のＬＳＩチップ１１０及び第２のＬＳＩチップ１２０の主面が全面に亘ってヤング率の小さい樹脂により覆われているため、第１のＬＳＩチップ１１０及び第２のＬＳＩチップ１２０からなるＬＳＩモジュールを封止する熱応力の大きい封止用樹脂が第１のＬＳＩチップ１１０及び第２のＬＳＩチップ１２０の主面に接触しないので、第１のＬＳＩチップ１１０及び第２のＬＳＩチップ１２０の主面に形成されているアルミニウム配線が位置ずれを起こす事態を防止できる。

【００７５】また、第６の実施形態に係る半導体装置の製造方法は、第１のＬＳＩチップ１１０の外部電極１１２とインナーリード１３３とをボンディングワイヤ１３４により接続した後に、第１のＬＳＩチップ１１０の内部電極１１１と第２のＬＳＩチップ１２０のバンパ１２１とを接続するため、第２のＬＳＩチップ１２０のサイズを、第２のＬＳＩチップ１２０の外形が第１のＬＳＩチップ１１０の外部電極１１２の近傍に位置する程度まで大きくできるので、ＬＳＩモジュールの集積度を向上させることができる。例えば、第２のＬＳＩチップ１２０の外形が第１のＬＳＩチップ１１０の外部電極１１２の内側の線に位置するようにすると、第２のＬＳＩチップ１２０の１辺の長さが第１のＬＳＩチップ１１０の１辺の長さに対して約０．２ｍｍ小さくなる程度まで、第２のＬＳＩチップ１２０のサイズを大きくすることができる。例えば、第１のＬＳＩチップのサイズが６．０ｍｍ角であるとする、第２のＬＳＩチップのサイズは、従来が４．０ｍｍ角であるのに対して、第６の実施形態では５．８ｍｍ角にすることができ、面積比は２倍以上になる。

【００７６】尚、第１～第５の実施形態においては、第１のＬＳＩチップ１１０と第２のＬＳＩチップ１２０とを両方がチップ状態のときに接合したが、これに代えて、ウェハ状態の第１のＬＳＩチップ１１０の上にチップ化された第２のＬＳＩチップ１１０を接合した後、第１のＬＳＩチップ１１０が形成されているウェハに対してダイシングを行なってＬＳＩモジュールを得てもよい。

【００７７】また、第１～第６の実施形態においては、内部電極１１１とバンパ１２１とを接触させると共に、第１のＬＳＩチップ１１０と第２のＬＳＩチップ１２０とを絶縁性樹脂１３０により一体化するマイクロバンパボンディング方式を用いたが、これに代えて、はんだ材によりバンパ１２１を形成すると共に、内部電極１１１とバンパ１２１とをはんだ材により接合した後、第１のＬＳＩチップ１１０と第２のＬＳＩチップ１２０との間に絶縁性樹脂を充填する方式でもよい。

【００７８】また、第１～第６の実施形態においては、

第2のLSIチップ120の内部電極の上にパンプ121を形成したが、これに代えて、第1のLSIチップ110の内部電極111の上にパンプ121を形成してもよい。

【0079】また、第1～第6の実施形態においては、1つの第1のLSIチップ110の上に1つの第2のLSIチップ120を載置したが、これに代えて、1つの第1のLSIチップ110の上に複数のLSIチップ120を載置してもよい。

【0080】さらに、第6の実施形態においては、第1のLSIチップ110の外部電極112とインナーリード133とがボンディングワイヤ134により接続され、第1のLSIチップ110及び第2のLSIチップ120からなるLSIモジュールが樹脂パッケージ135により封止されてなる構造であったが、これに代えて、第1のLSIチップ110及び第2のLSIチップ120からなるLSIモジュールがセラミックパッケージに収納され、第1のLSIチップ110の外部電極112とセラミックパッケージの電極とがボンディングワイヤ134により接続されてなる構造（BGA）でもよい。

【0081】

【発明の効果】第1の半導体装置によると、第2のLSIチップの主面に形成されているLSIから発生した熱は第2のLSIチップの上面における樹脂パッケージに露出している領域から放散され、第1のLSIチップの主面に形成されているLSIから発生した熱はダイパッドの下面における樹脂パッケージに露出している領域から放散されるため、第1及び第2のLSIチップに形成されているLSIにおいて、pn接合のダイオード特性が劣化したり、金属配線の抵抗が大きくなってトランジスタ特性が劣化したりするという問題を回避することができる。

【0082】第1の半導体装置において、第2のLSIチップの上面及びダイパッドの下面がそれぞれ全面に亘って樹脂パッケージから露出していると、第1及び第2のLSIチップに形成されているLSIから発生した熱が確実に放散されると共に、樹脂パッケージが第2のLSIチップの上面及びダイパッドの下面を覆っていないため、樹脂パッケージの厚さが小さくなるので、薄型のパッケージ構造を実現することができる。

【0083】第1の半導体装置において、第2のLSIチップの上面における樹脂パッケージから露出している領域に放熱体が設けられていると、第2のLSIチップに形成されているLSIから発生した熱の放散が一層確実になる。

【0084】第2の半導体装置によると、第2のLSIチップの主面に形成されているLSIから発生した熱は第2のLSIチップの上面における樹脂パッケージに露出している領域から放散され、第1のLSIチップの主

面に形成されているLSIから発生した熱は第1のLSIチップの下面における樹脂パッケージに露出している領域から放散されるため、第1及び第2のLSIチップに形成されているLSIにおいて、pn接合のダイオード特性が劣化したり、金属配線の抵抗が大きくなってトランジスタ特性が劣化したりするという問題を回避することができる。

【0085】第2の半導体装置において、第2のLSIチップの上面及び第1のLSIチップの下面がそれぞれ全面に亘って樹脂パッケージから露出していると、第1及び第2のLSIチップに形成されているLSIから発生した熱が確実に放散されると共に、樹脂パッケージが第2のLSIチップの上面及び第1のLSIチップの下面を覆っていないため、樹脂パッケージの厚さが小さくなるので、薄型のパッケージ構造を実現することができる。

【0086】第2の半導体装置において、第2のLSIチップの上面における樹脂パッケージから露出している領域に放熱体が設けられていると、第2のLSIチップに形成されているLSIから発生した熱の放散が一層確実になる。

【0087】第3の半導体装置によると、第1のLSIチップ及び第2のLSIチップの各主面はヤング率の小さいつまり熱応力の小さい絶縁性樹脂によって全面的に覆われているため、ヤング率の大きいつまり熱応力の大きい封止用樹脂が第1のLSIチップ及び第2のLSIチップの各主面に接触する事態を回避できるので、第1のLSIチップの主面を予めポリイミド膜等により覆う工程を省略することができる。

【0088】第1の半導体装置の製造方法によると、第1のLSIチップ、第2のLSIチップ、ダイパッド及びインナーリードを樹脂パッケージにより、第2のLSIチップの上面及びダイパッドの下面の少なくとも中央部がそれぞれ露出するように封止するため、得られる半導体装置においては、第2のLSIチップの上面及びダイパッドの下面の少なくとも中央部は露出しているので、第1及び第2のLSIチップに形成されているLSIから発生する熱は確実に放散される。

【0089】第2の半導体装置の製造方法によると、得られる半導体装置においては、第2のLSIチップの上面及びダイパッドの下面の少なくとも中央部は露出しているので、第1及び第2のLSIチップに形成されているLSIから発生する熱は確実に放散される。また、LSIモジュールの厚さが小さくてキャビティの高さが小さいときでも、キャビティ内における樹脂の流動性が確保されるので、良好な樹脂パッケージを得ることができる。

【0090】第3の半導体装置の製造方法によると、第1のLSIチップ、第2のLSIチップ及びインナーリードを樹脂パッケージにより、第2のLSIチップの上

面及び第1のLSIチップの下面の少なくとも中央部がそれぞれ露出するように封止するため、得られる半導体装置においては、第2のLSIチップの上面及び第1のLSIチップの下面の少なくとも中央部は露出しているので、第1及び第2のLSIチップに形成されているLSIから発生する熱は確実に放散される。

【0091】第4の半導体装置の製造方法によると、得られる半導体装置においては、第2のLSIチップの上面及び第1のLSIチップの下面の中央部は露出しているので、第1及び第2のLSIチップに形成されているLSIから発生する熱は確実に放散される。また、LSIモジュールの厚さが小さくてキャビティの高さが小さいときでも、キャビティ内における樹脂の流動性が確保されるので、良好な樹脂パッケージを得ることができる。

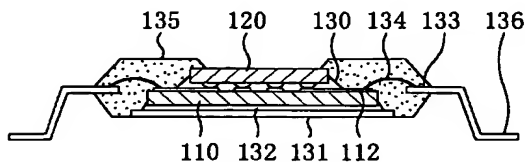
【0092】第5の半導体装置の製造方法によると、第1のLSIチップと第2のLSIチップとの間に充填される絶縁性樹脂が外部電極とボンディングワイヤとの接続部を覆うように拡がってもよいため、第2のLSIチップの外形が第1のLSIチップの外部電極の内側に位置する程度まで、第2のLSIチップのサイズを大きくできるので、LSIモジュールの集積度が向上する。

【0093】第5の半導体装置の製造方法において、第1のLSIチップと第2のLSIチップとの間に、第1のLSIチップ及び第2のLSIチップの各主面が全面的に覆われるように、樹脂パッケージを構成する樹脂よりもヤング率の小さい絶縁性樹脂を充填すると、ヤング率の大きいつまり熱応力の大きい封止用樹脂が第1のLSIチップ及び第2のLSIチップの各主面に接触する事態を回避できるので、第1のLSIチップの主面を予めポリイミド膜等により覆う工程を省略することができる。

【図面の簡単な説明】

【図1】(a)～(c)は、第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図3】



【図2】(a)、(b)は、第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図3】第2の実施形態に係る半導体装置の断面図である。

【図4】(a)～(c)は、第3の実施形態に係る半導体装置の第1の製造方法の各工程を示す断面図である。

【図5】(a)～(c)は、第3の実施形態に係る半導体装置の第2の製造方法の各工程を示す断面図である。

【図6】第4の実施形態に係る半導体装置の断面図である。

【図7】第5の実施形態に係る半導体装置の断面図である。

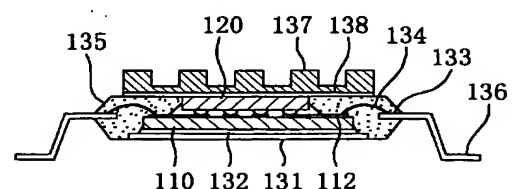
【図8】(a)～(c)は、第6の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図9】従来の半導体装置を示す断面図である。

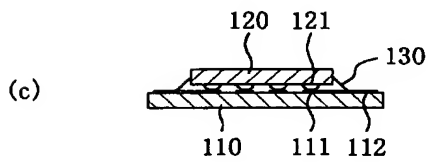
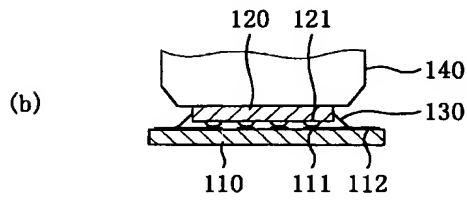
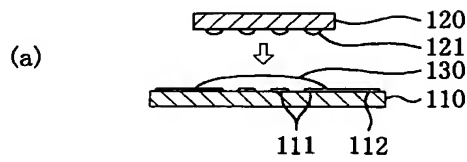
【符号の説明】

- 110 第1のLSIチップ
- 111 内部電極
- 112 外部電極
- 120 第2のLSIチップ
- 121 バンプ
- 122 内部電極
- 130 絶縁性樹脂
- 131 ダイパッド
- 132 ダイボンド樹脂
- 133 インナーリード
- 134 ボンディングワイヤ
- 135 樹脂パッケージ
- 136 アウターリード
- 137 放熱体
- 140 加圧ツール
- 141 ワイヤボンディング用ステージ
- 141 a 収納凹部
- 141 b 真空吸引孔

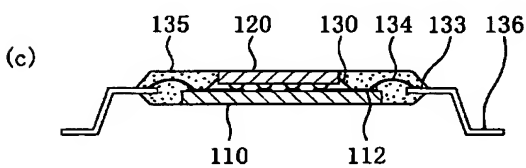
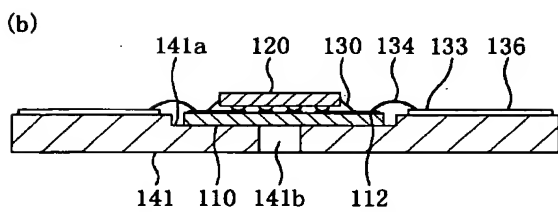
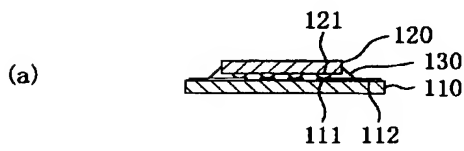
【図6】



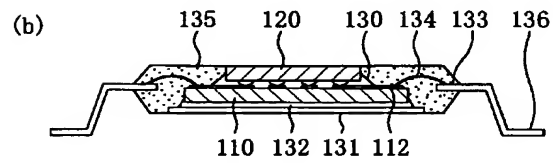
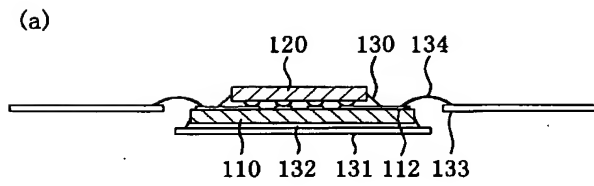
【図1】



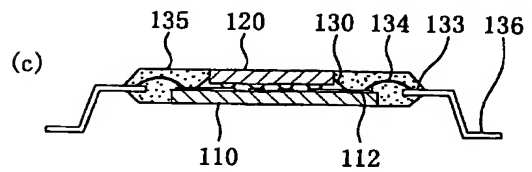
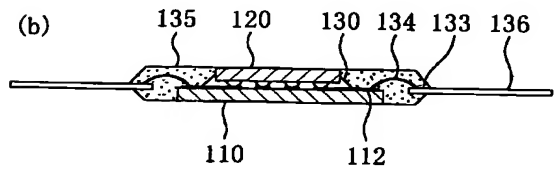
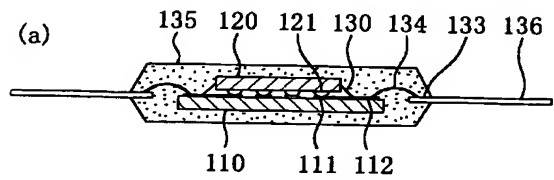
【図4】



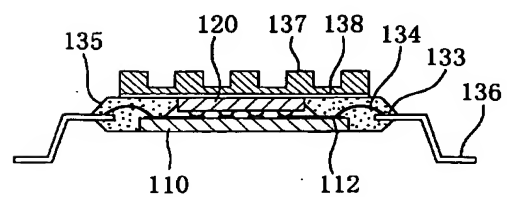
【図2】



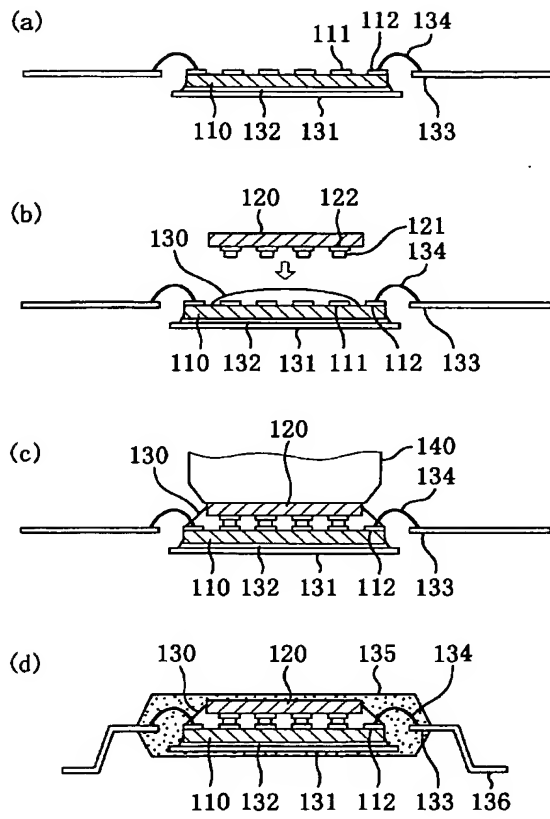
【図5】



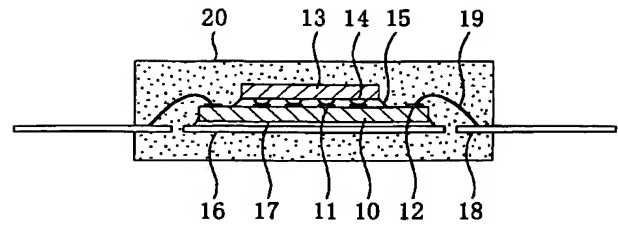
【図7】



【図 8】



【図 9】



(11) JP-A No.2002-124627

(43) Publication Date: April 26, 2002

(21) Application Number: Japanese Patent Application No.
2001-271435

(62) Indication of Division: Division of Japanese Patent
Application No. 9 (1997)-147918

(22) Filing Date: June 5, 1997

(71) Applicant: 000005821

Matsushita Electric Industrial Co., Ltd.

(72) Inventor: Hiroaki Fujimoto

(72) Inventor: Nobuitsu Takehashi

[0035]

[Preferred Embodiments of the Invention] (First Embodiment)

In the following, a semiconductor device according to the first embodiment of the present invention and a manufacturing method for the same are described in reference to Figs. 1(a) to 1(c), as well as Figs. 2(a) and 2(b).

[0036] First, as shown in Fig. 1(a), a first LSI chip 110 and a second LSI chip 120, which have LSIs having functions different from each other or LSIs that have been formed in processes different from each other, have been manufactured. In this case, the first LSI chip 110 and the second LSI chip 120 are, for example, a combination of an LSI made of a memory,

such as a DRAM, and a logic LSI, such as a microcomputer, a combination of logic LSIs different from each other, a combination of an LSI formed on a compound semiconductor substrate and an LSI formed on a silicon substrate or other combinations, where the LSI chips are formed in processes different from each other or gained by dividing an LSI chip having a large area that has been formed in one process into two.

[0037] A large number of internal electrodes 111 are formed on the main surface of the first LSI chip 110, and external electrodes 112 are formed so as to be electrically connected to the internal electrodes 111 on the peripheral portion of the main surface. In addition, internal electrodes, not shown, are formed on portions on the main surface of the second LSI chip 120 which correspond to the internal electrodes 111 of the first LSI chip 110, and bumps 121 are formed of Au, Cu, In, solder or the like, on these internal electrodes. The size of the bumps 121 is approximately 5 μm to 200 μm . As for the method for the forming bumps 121, a method for forming bumps 121 by carrying out electrolytic plating on a metal film using a photoresist pattern as a mask after the metal film has been deposited on a wafer, and after that, removing the metal film through etching, a method for forming bumps 121 on a metal film, such as one of Ni-Au, by means of transcription or dipping after the metal film has been formed on internal electrodes made of aluminum in accordance with an electroless plating method, or the like can

be adopted.

[0038] Next, an insulating resin 130 made of photo curing type or thermosetting type epoxy based, acryl based or polyimide resin, is applied to a region of the first LSI chip 110 on which the second LSI chip 120 is to be mounted, by means of a dispenser or stamping.

[0039] Next, as shown in Fig. 1(b), the internal electrodes 111 of the first LSI chip 110 and the bumps 121 of second LSI chip 120 are positioned, and after that, the second LSI chip 120 is mounted on the first LSI chip 110. After that, a pressing tool 140 is lowered so as to press the second LSI chip 120 against the first LSI chip 110, and at the same time, the insulating resin 130 is cured by irradiating the insulating resin 130 with light or applying heat to the insulating resin 130 in the state where pressure is being applied by the pressing tool 140. In the case where insulating resin 130 is of a thermosetting type, heat is applied to the insulating resin 130 by the pressing tool 140 which is heated, and in the case where the insulating resin 130 is of a photo curing type, the insulating resin 130 is irradiated with light, for example, ultraviolet rays, from the side of the second LSI chip 120.

[0040] Next, when the insulating resin 130 is cured, pressure is released by means of the pressing tool 140, as shown in Fig. 1(c). As a result of this, the first LSI chip 110 and the second LSI chip 120 are integrated by means of the insulating

resin 130, and at the same time, an LSI module where the internal electrodes 111 and the bumps 121 are electrically connected to each other is gained. Here, in the case where the insulating resin 130 is of a thermosetting or photo curing type, the portion of the insulating resin 130 which has failed to be irradiated with light is cured at room temperature or through application of heat.

[0041] Next, as shown in Fig. 2(a), the lower surface of first LSI chip 110 of the LSI module is secured to a die pad 131 of a lead frame by using a die bonding resin 132. In this case, a depressing process, that is to say, a process for forming the die pad 131 so that the die pad 131 is lowered relative to inner leads 133 has been carried out in advance on the lead frame by using a die, in a manner where the inner leads 133 of the lead frame are positioned at approximately the center of the LSI module in the direction of the thickness. After that, the external electrodes 112 of the first LSI chip 110 and the inner leads 133 of the lead frame are connected to each other by means of bonding wires 134 made of Au or the like.

[0042] Next, as shown in Fig. 2(b), the first LSI chip 110, the second LSI chip 120 and the die pad 131 are sealed in a resin, forming a resin package 135 where the upper surface of the second LSI chip and the lower surface of the die pad 131 are exposed from the resin package 135. The sealing in the resin is carried out according to a transfer mold method using a die formed of

upper and lower parts, where the height of the cavity created by the upper and lower parts has been set to a total thickness of the first LSI chip 110, the second LSI chip 120 and the die pad 131, and thereby, the upper surface of the second LSI chip 120 and the lower surface of the die pad 131 can be exposed from the resin package 135. After that, outer leads 136 of the lead frame are processed so as to be bent, and thus, a semiconductor device according to the first embodiment is gained.

[0043] In the semiconductor device according to the first embodiment, the upper surface of the second LSI chip 120 is exposed from the resin package 135, and therefore, heat that is generated on the main surface of the second LSI chip 120 can be efficiently released from the upper surface of the second LSI chip 120.

[0044] In addition, the thickness of the resin package 135 is equal to the total thickness of the first LSI chip 110, the second LSI chip 120 and the die pad 131, and therefore, the thickness of the semiconductor device where the two LSI chips are integrated in accordance with a face-down bonding method can be reduced. In the case where both the first LSI chip 110 and the second LSI chip 120 have a thickness of 0.3 mm, and the die pad 131 has a thickness of 0.15 mm, for example, the height of the bumps 121 is approximately 10 μm , and the thickness of the die bonding resin 132 is approximately 20 μm to 30 μm , and therefore, an ultra-thin type resin package 135 having a thickness of approximately 0.8 mm can be gained.

[0045] Accordingly, miniaturization and reduction in the thickness and weight of terminal apparatuses, such as mobile communication apparatuses and portable information apparatuses, where a semiconductor device according to the first embodiment is mounted, can be achieved.